**Guião 3**

Neste trabalho prático os alunos devem conceber, modelar em VHDL, simular, sintetizar, implementar e testar na FPGA um módulo para controlo dos displays de 7 segmentos (multiplexados) do kit Digilent Nexys-4.

O módulo, que poderá chamar-se "Nexys4DispDriver", deve possuir os seguintes portos de entrada:

- sinal de clock;

- 1 vetor de 8 bits para (des)ativação individual de cada dígito (ativo ou apagado);

- 1 vetor de 8 bits para (des)ativação individual de cada ponto decimal (ativo ou apagado);

- 8 vetores de 4 bits (cada um) para especificar o valor (0...F) afixado em cada dígito;

As saídas do módulo "Nexys4DispDriver" devem ser os sinais de controlo do display ("an", "seg" e "dp", todos active low). Para informações adicionais consulte o manual do kit Digilent Nexys-4.

A (des)ativação de um dígito e do respetivo ponto decimal devem ser independentes.

Considere que o sinal de clock aplicado ao módulo "Nexys4DispDriver" já possui uma frequência adequada (mais detalhes abaixo).

Parte 1

De forma resumida o trabalho inicial deverá consistir nos seguintes passos:

1. Desenhe a interface do módulo "Nexys4DispDriver".

2. Conceba a sua arquitetura interna e desenhe o respetivo diagrama lógico detalhado.

3. Crie um projeto no Xilinx Vivado e modele em VHDL o módulo "Nexys4DispDriver" (realize simulações de acordo com as necessidades).

4. Construa um top-level wrapper adequado que permita controlar interativamente as entradas do módulo "Nexys4DispDriver". No top-level também deverá ser instanciado um módulo divisor de frequência que permita obter um sinal de clock de 800 Hz, para o "Nexys4DispDriver", a partir do sinal de clock de 100 MHz do kit.

5. Sintetize e implemente o projeto.

6. Programe a FPGA e teste o projeto no kit Digilent Nexys-4.

Parte 2

Pretende-se passar a usar no módulo "Nexys4DispDriver", o sinal de clock de 100 MHz do kit, apesar de se manter a taxa de atualização de cada dígito em 100 Hz. Para tal:

1. Adicione uma entrada de clock enable ao módulo "Nexys4DispDriver" de forma a que apenas quando esta estiver ativa é que o flanco ativo do clock (100 MHz) produz efeitos.

2. Remova o módulo divisor de frequência que instanciou no top-level wrapper.

3. Construa um módulo, designado "PulseGenerator", que gere um impulso com a frequência de 800 Hz e que será usado como clock enable do módulo "Nexys4DispDriver". Este impulso periódico estará ativo 10 ns em cada período de 1.25 ms (1/(800Hz)).

4. Instancie o módulo "PulseGenerator" no top-level wrapper e ligue a sua saída à entrada de clock enable do módulo Nexys4DispDriver".

5. Sintetize e implemente o projeto.

6. Programe a FPGA e teste o projeto no kit Digilent Nexys-4.